

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Ikuko INOUE  
SERIAL NO: New Application  
FILED: Herewith  
FOR: IMAGE PICKUP SYSTEM

GAU:  
EXAMINER:



REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2000-110915	April 12, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and  
(B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland

Registration Number 21,124



22850

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

1c903 U.S. PTO  
09/824774  
04/04/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2000年 4月12日

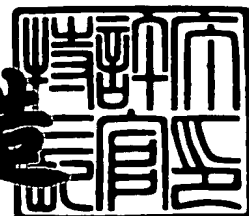
出 願 番 号  
Application Number: 特願2000-110915

出 願 人  
Applicant (s): 株式会社東芝

2001年 3月 2日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2001-3014481

【書類名】 特許願

【整理番号】 12279801

【提出日】 平成12年 4月12日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/14

【発明の名称】 撮像システム

【請求項の数】 5

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝  
                                横浜事業所内

    【氏名】 井 上 郁 子

【特許出願人】

    【識別番号】 000003078

    【住所又は居所】 神奈川県川崎市幸区堀川町 7 2 番地

    【氏名又は名称】 株式会社 東 芝

【代理人】

    【識別番号】 100064285

    【弁理士】

    【氏名又は名称】 佐 藤 一 雄

【選任した代理人】

    【識別番号】 100088889

    【弁理士】

    【氏名又は名称】 橘 谷 英 俊

【選任した代理人】

    【識別番号】 100082991

    【弁理士】

    【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

    【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【手数料の表示】

【予納台帳番号】 004444

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 撮像システム

【特許請求の範囲】

【請求項 1】

半導体基板の撮像領域にマトリクス状に配列された光電変換層を有する MOS 型センサと、

前記撮像領域を除いた前記半導体基板の領域に形成され、前記 MOS 型センサを駆動する駆動回路および前記 MOS 型センサの出力信号を処理する信号処理回路を有する周辺回路部と、

前記光電変換層に画像信号を集光するために前記光電変換層上に第 1 の絶縁膜を介して形成されたマイクロレンズと、

を備え、前記第 1 の絶縁膜の表面から前記半導体基板までの距離が前記第 2 の絶縁膜の表面から前記半導体基板までの距離よりも短くなるように構成されていることを特徴とする撮像システム。

【請求項 2】

前記周辺回路部は少なくとも第 1 乃至第 3 配線層を有し、これらの配線層が絶縁膜を介して積層された多層配線構造であることを特徴とする請求項 1 記載の撮像システム。

【請求項 3】

前記撮像領域には、前記第 2 配線層と同一層となる遮光層が形成されていることを特徴とする請求項 2 記載の撮像システム。

【請求項 4】

前記遮光層は前記第 2 配線層より薄い膜厚を有していることを特徴とする請求項 3 記載の撮像システム。

【請求項 5】

前記マイクロレンズから光電変換層までの距離は前記マイクロレンズの焦点距離にほぼ等しいことを特徴とする請求項 1 乃至 4 のいずれかに記載の撮像システム。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、固体撮像装置を有する撮像システムに関する。

【 0 0 0 2 】

【従来の技術】

近年、MOS型固体撮像素子は、低電圧、単一電源、低コストという利点があり、注目されている素子である。

【 0 0 0 3 】

このMOS型固体撮像素子を有する固体撮像装置は、この固体撮像装置の出力信号を処理する信号処理回路がMOS型トランジスタから構成されるため、製造工程を共通化することが可能となり上記信号処理回路と、同一基板上に形成することができる。例えば、図 1 5 に示すように、MOS型固体撮像装置を有する撮像システムとしてビデオカメラ 6 0 を例にとると、このビデオカメラ 6 0 は、撮像素子であるMOS型センサ 6 1 と、電圧信号のレベルを調整する自動ゲイン制御回路 6 2（以下、AGC回路 6 2ともいう）と、電圧信号をクランプするクランプ回路 6 3（以下、CLP回路ともいう）と、アナログ信号をデジタル信号に変換するAD変換回路 6 4 と、クロックパルスを発生して撮像システム 6 0 のタイミングの制御を行うタイミング制御回路 6 5 と、上記クロックパルスに同期してMOS型センサ 6 1 を駆動制御するためのタイミング信号および駆動制御信号を発生するタイミングジェネレータ／シグナルジェネレータ回路 6 6（以下、TG／SG回路 6 6ともいう）と、AD変換回路の出力であるデジタル信号を処理するDSP回路 6 7 と、DSP回路 6 7 の出力をエンコードするエンコード回路 6 8 と、エンコードされた信号を出力する出力回路 6 9 と、出力回路 6 9 の出力をアナログ信号に変換するDA変換回路 7 0 とを備えている。

【 0 0 0 4 】

MOS型センサ 6 1 によって光電変換された画像電圧信号はAGC回路 6 2 によってレベルが調整された後、CLP回路 6 3 によってクランプされ、AD変換回路 6 4 に送られる。そして上記画像電圧信号はAD変換回路 6 4 によって 1 サンプル値が例えば 8 ビットからなるデジタル画像信号に変換され、DSP回路

67に送られる。DSP回路67は、例えば色分離回路、クランプ回路、ガンマ補正回路、ホワイト補正回路、黒補正回路、二回路、色バランス回路などから成っており、供給されたデジタル画像信号に対して必要な信号処理を行う。そしてDSP回路67によって処理された信号はエンコーダ回路68に送られる。エンコーダ回路68においては、送られてきた画像信号をデコードして輝度信号と色差信号に変換する。MOS型センサ61はTG/SG回路66から送られてくるタイミング信号および駆動制御信号によりタイミングが制御される。その後、デコードされた画像信号は出力回路69を介してDA変換回路70に供給され、アナログビデオ信号に変換され、外部に出力される。

## 【0005】

## 【発明が解決しようとする課題】

上述の撮像システムにおいては、画像光信号を信号電荷に変換する機能を有しているのはMOS型センサ61の撮像領域のみであり、このMOS型センサ61以外の回路は高集積化や速度特性が重視される。高集積化や速度特性の改善を図るためには、多層化を行うことが必要となる。

## 【0006】

一方、光を扱うMOS型センサ61の撮像領域においては、一般に撮像システムの上部に光を集光するためのマイクロレンズが形成され、このマイクロレンズから、半導体基板上に形成された光電変換を行う光電変換領域まで距離が上記マイクロレンズの焦点距離に一致するか否かが問題となる。すなわち、MOS型センサ61の周辺の信号処理回路が高集積化や速度特性の改善のために多層化されても、上記光電変換領域はマイクロレンズからの距離がマイクロレンズの焦点距離にほぼ一致していなければならない。また光電変換領域で遮光層となるA1配線は半導体基板に近い方が遮光などによる乱反射の入射防止となる。

## 【0007】

従来、MOS型固体撮像装置を含む撮像システムにおいては、撮像特性を重視するため、撮像領域の周辺回路を多層化していない。このため、周辺回路の集積化と高速化が実現できていないという問題が生じる。

## 【0008】

また、周辺回路の動作の高速化を行う場合、あるいは設計を容易にするために、同一基板上に形成される回路（MOS型センサも含む）を多層配線によって形成する場合は、光電変換領域への集光の実現は困難となり、撮像特性の劣化を引き起こすという問題が生じる。

#### 【0009】

これらの問題点を図16および図17を参照して説明する。

#### 【0010】

図16は図15に示す撮像システムを切断線X-X'で切断したときの断面図である。この図16に示す撮像システムは撮像特性を重視した構成となっている。この撮像システムは、MOS型センサ61が形成される半導体基板23の撮像領域81には画像光信号40を画像電気信号に変換する光電変換層27aと、拡散層27bが形成されている。この光電変換層27aと拡散層27bとの間の半導体基板23上にはゲート絶縁膜を介してゲート電極25aが形成されている。ゲート電極25aと、光電変換層27aと、拡散層27bとによってMOS型センサ61が構成される。なお、光電変換層8aは撮像領域81においてマトリクス状に配列されている。拡散層27bは層間絶縁膜31に設けられたコンタクトを介して第1のA1配線28に接続されている。したがって、光電変換層27aに変換された画像電気信号はゲート25aによって拡散層27bおよび上記コンタクトを介して第1のA1配線28に送られる。

#### 【0011】

また、光電変換層27aを除いた撮像領域81にはA1からなる遮光膜29aが形成されている。そして、光電変換層27aの真上の、層間絶縁膜31上の領域には画像光信号40を集光するためのマイクロレンズ32が設けられた構成となっている。

#### 【0012】

一方、絶縁物からなる素子分離領域24によって撮像領域81と素子分離された周辺回路領域82の半導体基板23上には上記回路を構成するMOSトランジスタが形成されている。これらのMOSトランジスタは、半導体基板23に形成された拡散層からなるソース領域およびドレイン領域26と、これらのソース領



域 2 6 とドレイン領域 2 6 との間に半導体基板 2 3 上にゲート絶縁膜を介して形成されたゲート電極 2 5 とを備えている。そしてソース領域およびドレイン領域 2 6 のうち一方は層間絶縁膜 3 1 に設けられたコンタクトを介して第 1 の A 1 配線 2 8 に接続されている。また、この第 1 の A 1 配線 2 8 には層間絶縁膜に設けられたコンタクトを介して第 2 の A 1 配線 2 9 に接続された構成となっている。なお第 2 の A 1 配線 2 9 と遮光膜 2 9 a は同一層を構成している。

#### 【 0 0 1 3 】

この図 1 6 に示す撮像システムにおいては、マイクロレンズ 3 2 によって集光された画像光信号 4 0 が、光電変換層 2 7 a で結像し易いように、撮像領域 8 1 および周辺回路領域 8 2 で 2 層配線構造とし、しかも第 2 の A 1 配線 2 9 および遮光膜 2 9 a の膜厚を薄くして光電変換層 2 7 a からマイクロレンズ 3 2 までの距離を短くすることにより上記距離をマイクロレンズ 3 2 の焦点距離にほぼ一致するように構成している。このため、周辺回路領域 8 2 に形成された回路の高集積化および高速化の低下が生じる。

#### 【 0 0 1 4 】

この高集積化および高速化の低下を防止するために、周辺回路領域 8 2 に形成される回路を、第 1 乃至第 3 の A 1 配線 2 8, 2 9, 3 0 を有する 3 層配線構造とするとともに、第 2 の A 1 配線 2 9 および同一層となる A 1 の遮光膜 2 9 a ならびに第 3 の A 1 配線 3 0 の膜厚を厚くした構成の撮像システムを図 1 7 に示す。しかし、この図 1 7 に示す撮像システムにおいては、光電変換層 2 7 a からマイクロレンズ 3 2 までの距離が、マイクロレンズ 3 2 の焦点距離より長くなり、画像光信号 4 0 が光電変換層 2 7 a で結像するのが難しくなり、撮像特性が劣化する。

#### 【 0 0 1 5 】

本発明は上記事情を考慮してなされたものであって、可及的に良好な撮像特性を得ることができるとともに高集積化および高速動作が可能な撮像システムを提供することを目的とする。

#### 【 0 0 1 6 】

【課題を解決するための手段】

本発明による撮像システムは、半導体基板の撮像領域にマトリクス状に配列された光電変換層を有するMOS型センサと、前記撮像領域を除いた前記半導体基板の領域に形成され、前記MOS型センサを駆動する駆動回路および前記MOS型センサの出力信号を処理する信号処理回路を有する周辺回路部と、前記光電変換層に画像信号を集光するために前記光電変換層上に第1の絶縁膜を介して形成されたマイクロレンズと、を備え、前記第1の絶縁膜の表面から前記半導体基板までの距離が前記第2の絶縁膜の表面から前記半導体基板までの距離よりも短くなるように構成されていることを特徴とする。

## 【0017】

なお、前記周辺回路部は少なくとも第1乃至第3配線層を有し、これらの配線層が絶縁膜を介して積層された多層配線構造であることが好ましい。

## 【0018】

なお、前記撮像領域には、前記第2配線層と同一層となる遮光層が形成されていることが好ましい。

## 【0019】

なお、前記遮光層は前記第2配線層より薄い膜厚を有していることが好ましい。

## 【0020】

なお、前記マイクロレンズから光電変換層までの距離は前記マイクロレンズの焦点距離にほぼ等しいことが好ましい。

## 【0021】

## 【発明の実施の形態】

本発明の実施の形態を以下、図面を参照して説明する。

## 【0022】

## (第1の実施の形態)

本発明による撮像システムの第1の実施の形態を図1乃至図6を参照して説明する。図1は本実施の形態の撮像システムの構成を示す断面図、図2乃至図6は本実施の形態の撮像システムの製造工程を示す断面図である。

## 【0023】

この実施の形態の撮像システムは、MOS型センサと、その周辺回路とが同一チップ上に形成された構成となっている。すなわち図1に示すように、MOS型センサが形成される半導体基板3の撮像領域81には、画像光信号を画像電気信号に変換する光電変換層8aと、拡散層8bとが形成されている。この光電変換層8aと拡散層8bとの間の半導体基板上にはゲート絶縁膜5を介してゲート電極6aが形成されている。このゲート電極6aと、光電変換層8aと、拡散層8bとによってMOS型センサが構成される。なお、光電変換層8aは撮像領域81においてマトリクス状に配列されている。

## 【0024】

一方、上記撮像領域81とは素子分離された、周辺回路領域82の半導体基板3上には、周辺回路を構成するMOSトランジスタが形成されている。なお、周辺回路は例えば図15乃至図16で説明した周辺回路と同一の構成となっている。これらのMOSトランジスタは半導体基板3に形成された拡散層からなるソース領域およびドレイン領域7と、これらのソース領域およびドレイン領域7の間の半導体基板3上にゲート絶縁膜5を介して形成されたゲート電極6とを備えている。また、上記ゲート電極6、6a、ソースおよびドレイン領域7、ならびに拡散層8a、8bは表面が平坦化された絶縁膜9によって覆われている。この平坦化絶縁膜9の表面上には例えばA1からなる第1配線層11が形成されている。これらの第1配線層11は周辺回路領域82においてはソースおよびドレイン領域7のうちの一方の領域と、絶縁膜9内に設けられたコンタクトを介して接続され、撮像領域81においては、絶縁膜9内に設けられたコンタクトを介して拡散層8bと接続された構成となっている。

## 【0025】

これらの第1配線層11は、表面が平坦化された絶縁膜12によって覆われている。そしてこの絶縁膜12の表面には、撮像領域81において例えばA1から遮光膜14a、14aが形成され、周辺回路領域82において例えばA1からなる第2配線層14が形成されている。なお、これらの遮光膜14aおよび第2配線層14は膜厚が例えば500nm以下の膜厚で形成する。そして第2配線層14は絶縁膜12に設けられたコンタクトを介して第1配線層11に接続された構

成となっている。

【 0 0 2 6 】

これらの第 2 配線層 1 4 および遮光膜 1 4 a は表面が平坦化された絶縁膜 1 5 によって覆われている。そして絶縁膜 1 5 の表面には、周辺回路領域 8 2 において例えば A 1 からなる第 3 配線層 1 7 が形成された構成となっている。この第 3 配線層 1 7 は絶縁膜 1 5 内に設けられたコンタクトを介して第 2 配線層 1 4 に接続された構成となっている。また、この第 3 配線層 1 7 を覆うように基板全面に絶縁膜 1 8 が形成されている。この絶縁膜 1 8 の表面は、撮像領域 8 1 において平坦化されている。撮像領域 8 1 の平坦化された絶縁膜 1 8 上には、画像光信号が光電変換層 8 a に集光するようにマイクロレンズ 2 0 が設けられた構成となっている。

【 0 0 2 7 】

以上説明したように本実施の形態によれば、マイクロレンズ 2 0 が形成される撮像領域 8 1 の絶縁膜 1 8 の表面は、平坦化することにより周辺回路領域 8 2 の絶縁膜 1 8 の表面より低くなるように構成されているため、マイクロレンズに入射した画像光信号を光電変換層 8 a に集光し易くなり、良好な撮像特性を得ることができる。また周辺回路領域 8 2 は 3 層以上の配線構造とすることが可能となり、周辺回路の高集積化および高速化を実現することができる。また、A 1 からなる第 2 配線層 1 4 および遮光膜 1 4 a を薄く形成しているため、A 1 の結晶成長に伴うヒロックを抑制することができる。

【 0 0 2 8 】

次に本実施の形態の撮像システムの製造方法を図 2 乃至図 6 を参照して説明する。

【 0 0 2 9 】

まず、例えばシリコンからなる半導体基板 3 に絶縁膜からなる素子分離領域 4 を形成し、撮像領域 8 1 と周辺回路領域 8 2 とを素子分離するとともに、各領域内の素子を素子分離する（図 2 参照）。その後、撮像領域 8 1 および周辺回路領域 8 2 の半導体基板上にゲート絶縁膜 5 を形成する（図 2 参照）。続いて、ゲート絶縁膜 5 上の所望の位置にゲート電極 6, 6 a を形成する（図 2 参照）。続い

て図2に示すようにイオン注入等によりソースおよびドレイン領域7ならびに拡散層8a, 8bを形成する。

#### 【0030】

次に基板全面に絶縁膜を堆積した後、CMP (Chemical Mechanical Polishing) を用いて、その表面を平坦化し、平坦化絶縁膜9を形成する(図3参照)。続いて、リソグラフィ技術を用いてソースおよびドレイン領域7の一方、ならびに拡散層8bに各々通じるコンタクト孔10を絶縁膜9内に開孔した後、例えばスパッタリング法を用いてこれらのコンタクト孔10を埋込むようにA1を基板全面に堆積し、パターニングすることにより第1配線層11を形成する(図3参照)。

#### 【0031】

次に図4に示すように、基板全面に絶縁膜を堆積した後、CMPを用いて、その表面を平坦化し、平坦化絶縁膜12を形成する。続いてリソグラフィ技術を用いて周辺回路領域の絶縁膜12内に、第1配線層11に通じるコンタクト孔13を開孔した後、これらのコンタクト孔13を埋込むようにA1を基板全面に堆積し、パターニングすることにより、第2配線層14を形成するとともに撮像領域81の絶縁膜12上に遮光膜14aを形成する(図4参照)。

#### 【0032】

次に、基板全面に絶縁膜を堆積した後、CMPを用いてその表面を平坦化し、平坦化絶縁膜15を形成する(図5参照)。続いてリソグラフィ技術を用いて、周辺回路領域の絶縁膜15内に、第2配線層14に通じるコンタクト孔16を開孔した後、これらのコンタクト孔16を埋込むようにA1を基板全面に堆積し、パターニングすることにより第3配線層17を形成する(図5参照)。

#### 【0033】

次に基板全面に例えばBPSG (Boron Phosphorus Silicate Glass) 膜18を堆積する。すると、撮像領域81上のBPSG膜18は平坦化されるとともに、周辺回路領域82のBPSG膜18よりも高さが低くなる(図6参照)。続いて、撮像領域81に色フィルタ(図示せず)およびマイクロレンズ20を形成する。なお、色フィルタは図示していないが、低層の撮像領域81と高層の周辺回

路領域 8 2 との間に十分な距離を確保することが可能となるため、色フィルタによる色むらは生じない。

## 【 0 0 3 4 】

## (第 2 の実施の形態)

次に本発明による撮像システムの第 2 の実施の形態の構成を図 7 に示す。この第 2 の実施の形態の撮像システムは、図 1 に示す第 1 の実施の形態の撮像システムにおいて、周辺回路領域 8 2 の第 2 配線層 1 4 を、配線 1 4<sub>1</sub> および配線 1 4<sub>2</sub> からなる 2 層構造とし、第 1 の実施の形態に比べて厚くした構成となっている。なお、配線 1 4<sub>1</sub> と遮光膜 1 4 a は同一層となるように構成されている。

## 【 0 0 3 5 】

このように本実施の形態においては、周辺回路領域 8 2 の第 2 配線層 1 4 を第 1 の実施の形態の場合に比べて厚膜化しているため、より高速動作を行わせることができる。なお、この第 2 の実施の形態の撮像システムも第 1 の実施の形態の場合と同様に良好な撮像特性を得ることができることは云うまでもない。

## 【 0 0 3 6 】

## (第 3 の実施の形態)

次に、本発明による撮像システムの第 3 の実施の形態を図 8 乃至図 1 4 を参照して説明する。図 8 は本実施の形態の撮像システムの構成を示す断面図、図 9 乃至図 1 4 は本実施の形態の撮像システムの製造工程を示す工程断面図である。

## 【 0 0 3 7 】

この実施の形態の撮像システムは、図 7 に示す第 2 の実施の形態の撮像システムにおいて、撮像領域 8 1 の絶縁膜 1 8 を除去するとともに平坦化絶縁膜 1 5 を薄くした構成となっている。そして薄くした平坦化絶縁膜 1 5 上にカラフィルタ(図示せず) およびマイクロレンズ 2 0 が形成されている。

## 【 0 0 3 8 】

なお、この実施の形態においては、最上層の絶縁膜 1 8 は平坦化されている。

この第 3 の実施の形態の撮像システムは、第 2 の実施の形態に比べて、光電変換層 8 a からマイクロレンズ 2 0 までの距離を所望の距離とすることができ、周辺回路の動作の高速性を損なうことなく撮像特性を更に向上させることができる

。また周辺回路領域 8 2 は 3 層配線構造としているため高集積化が可能となる。

【 0 0 3 9 】

なお本実施の形態は第 2 の実施の形態の撮像領域 8 1 の絶縁膜 1 8 を除去するとともに平坦化絶縁膜 1 5 を薄膜化した、第 1 の実施の形態の撮像領域 8 1 の絶縁膜 1 8 を除去するとともに平坦化絶縁膜 1 5 を薄膜化するように構成しても良い。

【 0 0 4 0 】

次に第 3 の実施の形態の撮像システム製造方法を図 9 乃至図 1 4 を参照して説明する。

【 0 0 4 1 】

まず例えばシリコンからなる半導体基板 3 に絶縁膜からなる素子分離領域 4 を形成し、撮像領域 8 1 と周辺回路領域 8 2 とを素子分離するとともに、各領域内の素子を素子分離する（図 9 参照）。その後、撮像領域 8 1 および周辺回路領域 8 2 の半導体基板上にゲート絶縁膜 5 上の所望の位置にゲート電極 6、6 a を形成する（図 9 参照）。続いて、図 9 に示すようにイオン注入等によりソースおよびドレイン領域 7 ならびに拡散層 8 a、8 b を形成する。

【 0 0 4 2 】

次に基板全面に絶縁膜を堆積したあと、CMP を用いて、その表面を平坦化し、平坦化絶縁膜 9 を形成する（図 1 0 参照）。続いて、リソグラフィ技術を用いてソースおよびドレイン領域 7 の一方、ならびに拡散層 8 b に通じるコンタクト孔 1 0 を絶縁膜 9 内に開孔したあと、例えばスパッタリング法を用いてこれらのコンタクト孔 1 0 を埋込むように A 1 を基板全面に堆積し、パターニングすることにより第 1 配線層 1 1 を形成する（図 1 0 参照）。

【 0 0 4 3 】

次に図 1 1 に示すように、基板全面に絶縁膜を堆積した後、CMP を用いて、その表面を平坦化し、平坦化絶縁膜 1 2 を形成する。続いてリソグラフィ技術を用いて周辺回路領域の絶縁膜 1 2 内に、第 1 配線層 1 1 に通じるコンタクト孔 1 3 を開孔した後、これらのコンタクト孔 1 3 を埋込むように A 1 を基板全面に堆積し、パターニングすることにより第 2 配線層 1 4 を形成するとともに撮像領域

8 1 の絶縁膜 1 2 上に遮光膜 1 4 a を形成する（図 1 1 参照）。その後、配線 1 4<sub>1</sub> 上に A 1 からなる配線 1 4<sub>2</sub> を形成し、第 2 配線 1 4 とする（図 1 1 参照）。

#### 【 0 0 4 4 】

次に、基板全面に絶縁膜を堆積した後、CMP を用いて、その表面を平坦化し、平坦化絶縁膜 1 5 を形成する（図 1 2 参照）。続いてリソグラフィ技術を用いて、周辺回路領域の絶縁膜 1 5 内に、第 2 配線層 1 4 に通じるコンタクト孔 1 6 を開孔した後、これらのコンタクト孔 1 6 を埋込むように A 1 を基板全面に堆積し、パターニングすることにより第 3 配線層 1 7 を形成する（図 1 2 参照）。

次に基板全面に絶縁膜 1 8 を堆積した後、CMP を用いて、その表面を平坦化し、平坦化絶縁膜 1 8 を形成する（図 1 3 参照）。続いてリソグラフィ技術を用いて、撮像領域 8 1 に開孔を有するレジストパターン（図示せず）を形成し、このレジストパターンをマスクにして撮像領域 8 1 の絶縁膜 1 8 を除去する（図 1 3 参照）。この時、絶縁膜 1 5 を、遮光膜 1 4 a が露出しないようにエッチバックしても良い。これにより、撮像領域 8 1 に開口 1 9 が形成される（図 1 4 参照）。

#### 【 0 0 4 5 】

次に上記レジストパターンを除去した後、開口 1 9 の底の所定の場所に色フィルタ（図示せず）およびマイクロレンズ 2 0 を形成して図 8 に示す第 3 の実施の形態の撮像システムを完成する。

#### 【 0 0 4 6 】

なお、第 1 乃至第 3 の実施の形態においては、周辺回路領域 8 2 は 3 層配線構造であったが 4 層以上の多層配線構造であっても良い。

#### 【 0 0 4 7 】

##### 【発明の効果】

以上述べたように本発明によれば、可及的に良好な撮像特性を得ることができるとともに高集積化および高速動作が可能となる。

##### 【図面の簡単な説明】

##### 【図 1】



本発明による撮像システムの第 1 の実施の形態の構成を示す断面図。

【図 2】

本発明の第 1 の実施の形態の撮像システムの製造工程を示す断面図。

【図 3】

本発明の第 1 の実施の形態の撮像システムの製造工程を示す断面図。

【図 4】

本発明の第 1 の実施の形態の撮像システムの製造工程を示す断面図。

【図 5】

本発明の第 1 の実施の形態の撮像システムの製造工程を示す断面図。

【図 6】

本発明の第 1 の実施の形態の撮像システムの製造工程を示す断面図。

【図 7】

本発明による撮像システムの第 2 の実施の形態の構成を示す断面図。

【図 8】

本発明による撮像システムの第 3 の実施の形態の構成を示す断面図。

【図 9】

本発明の第 3 の実施の形態の製造工程を示す断面図。

【図 1 0】

本発明の第 3 の実施の形態の製造工程を示す断面図。

【図 1 1】

本発明の第 3 の実施の形態の製造工程を示す断面図。

【図 1 2】

本発明の第 3 の実施の形態の製造工程を示す断面図。

【図 1 3】

本発明の第 3 の実施の形態の製造工程を示す断面図。

【図 1 4】

本発明の第 3 の実施の形態の製造工程を示す断面図。

【図 1 5】

撮像システムの一具体例の構成を示す平面図。

【図 1 6】

従来の撮像システムの構成を示す断面図。

【図 1 7】

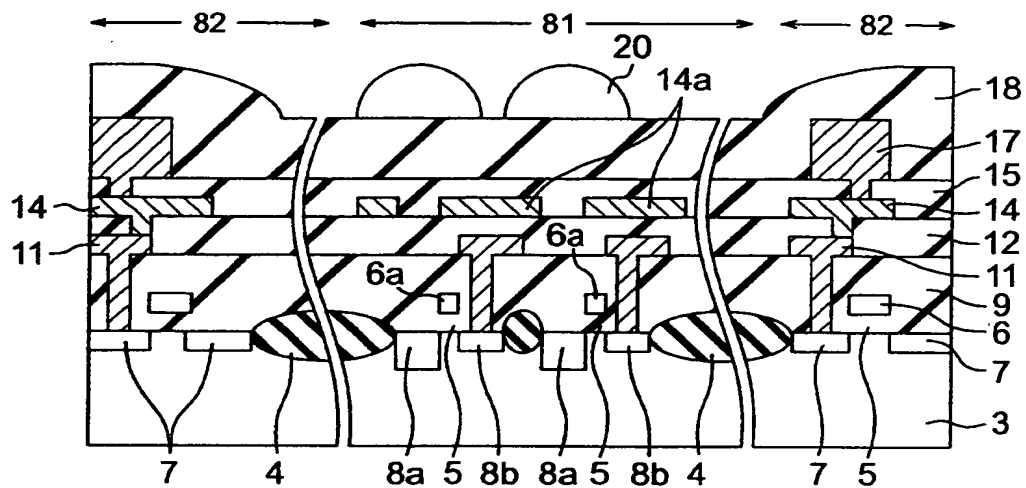
従来の撮像システムの構成を示す断面図。

【符号の説明】

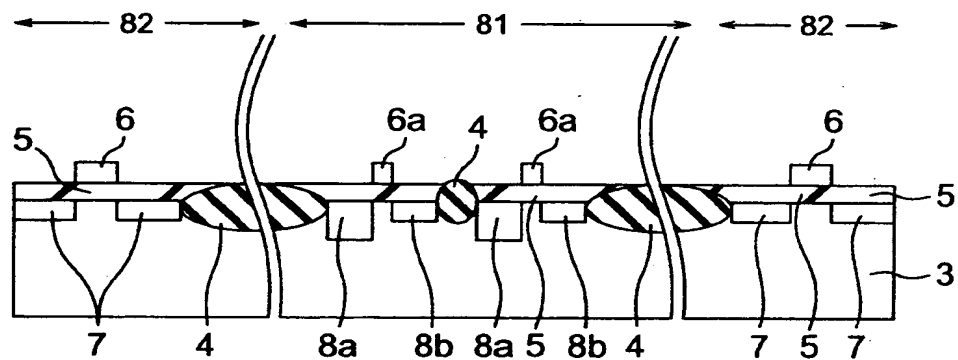
- 3 半導体基板
- 4 素子分離領域
- 5 ゲート絶縁膜
- 6, 6 a ゲート電極
- 7 ソースおよびドレイン領域
- 8 a 光電変換層
- 8 b 拡散層
- 9 平坦化絶縁膜
- 1 1 第 1 配線層
- 1 2 平坦化絶縁膜
- 1 4 第 2 配線層
- 1 4 a 遮光膜
- 1 5 平坦化絶縁膜
- 1 7 第 3 配線層
- 1 8 絶縁膜
- 2 0 マイクロレンズ
- 8 1 撮像領域
- 8 2 周辺回路領域

【書類名】 図面

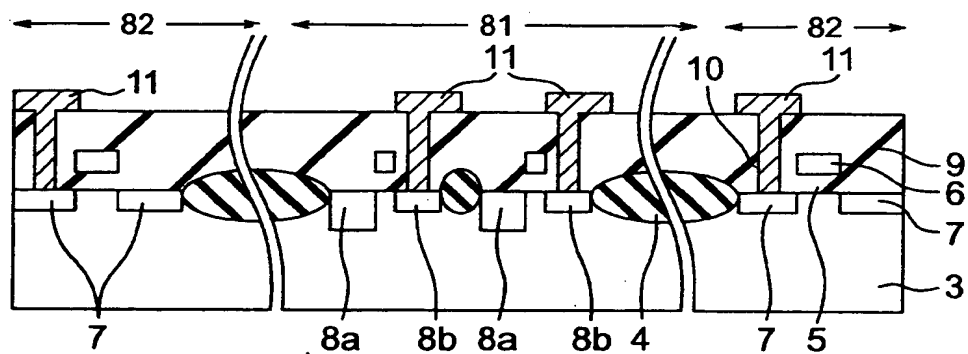
【図1】



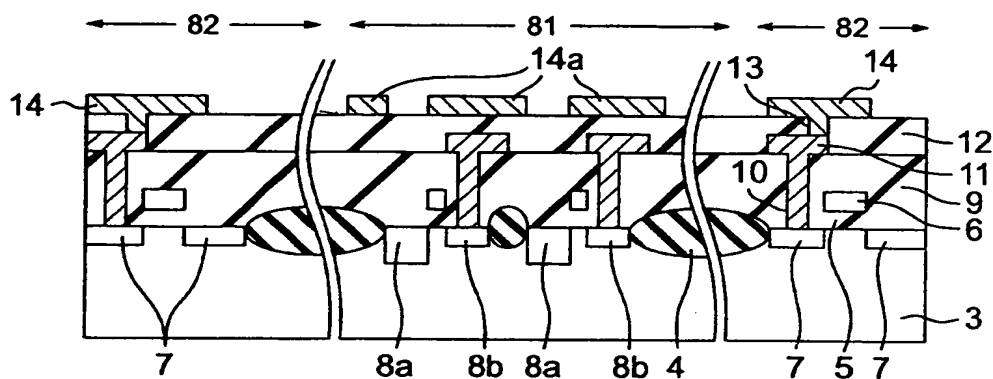
【図2】



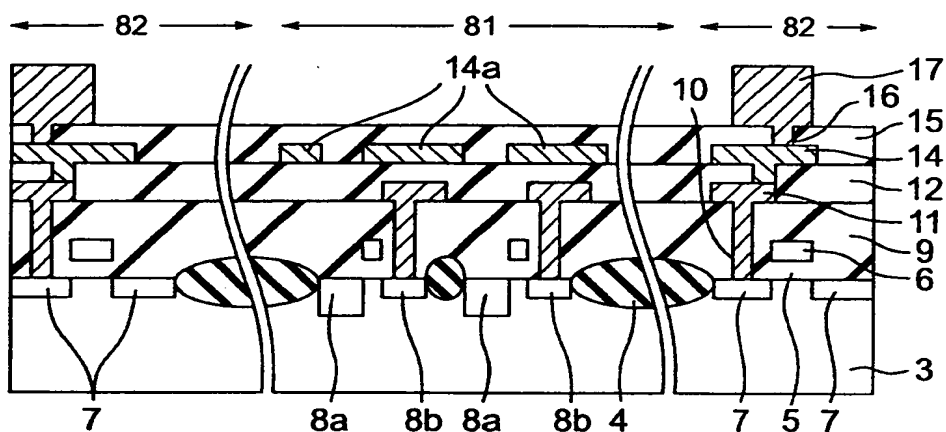
【図3】



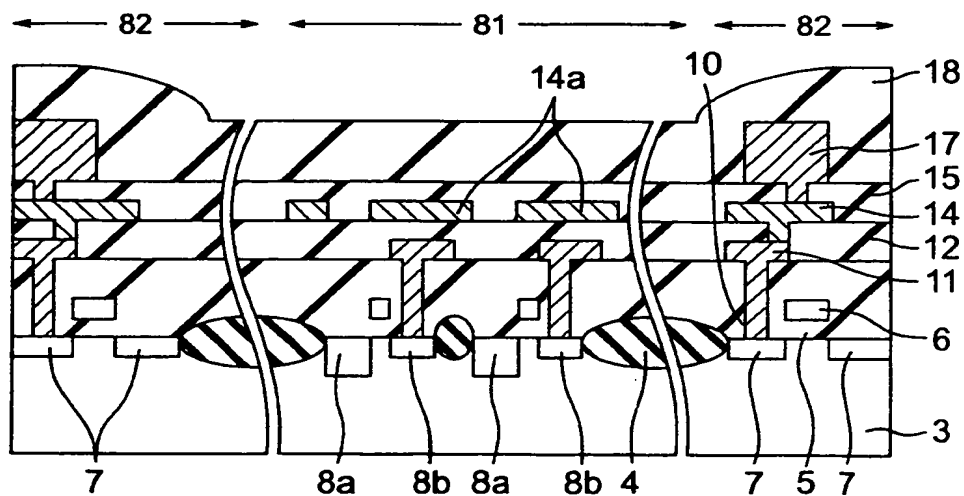
【図 4】



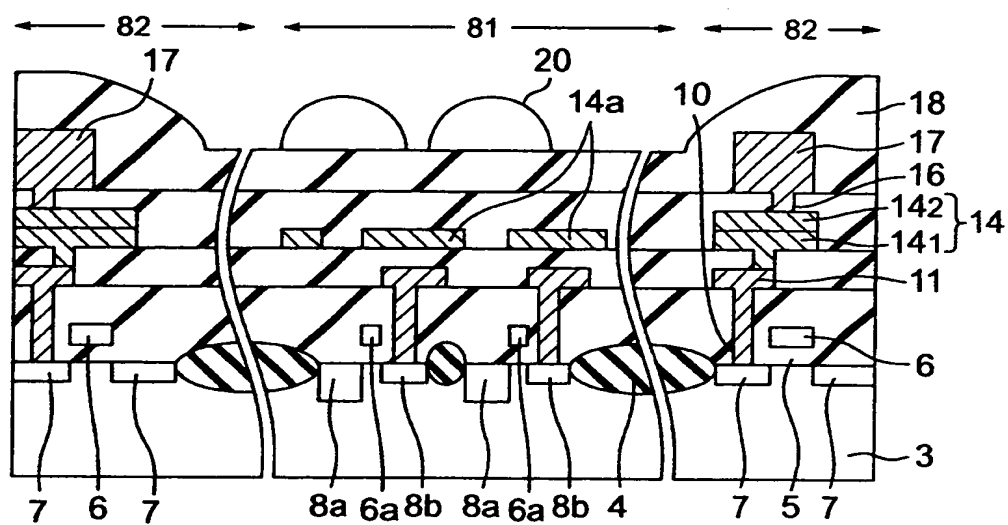
【図 5】



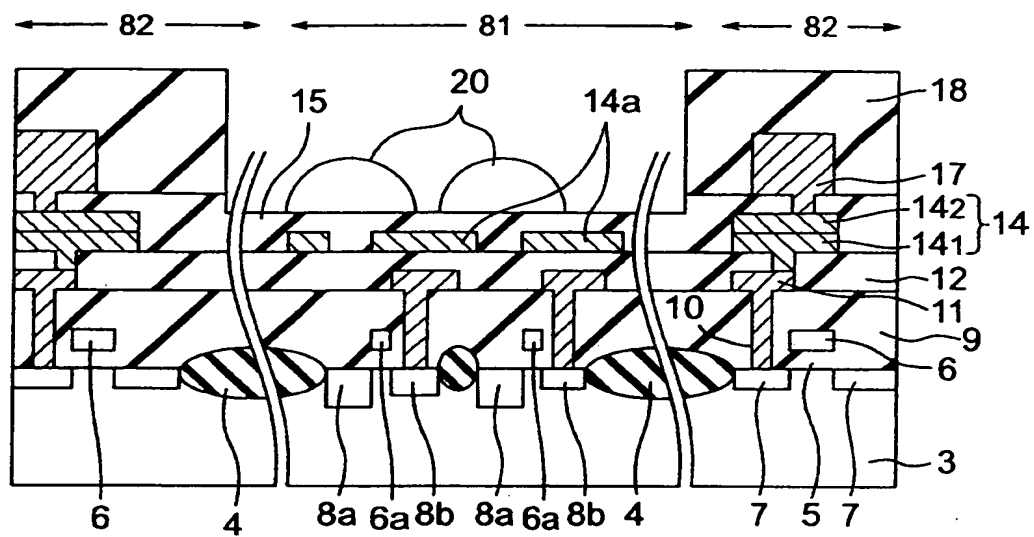
【図 6】



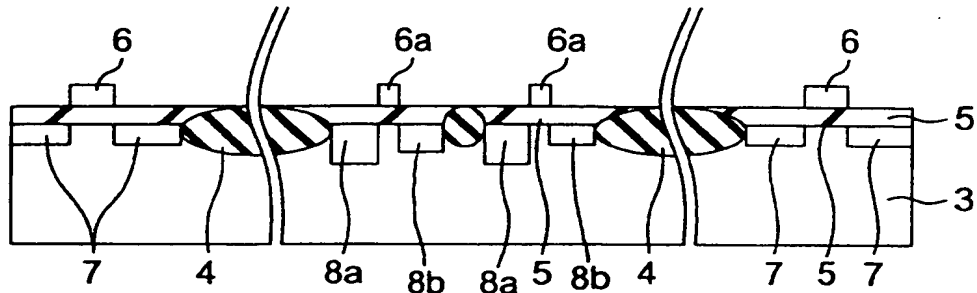
【図 7】



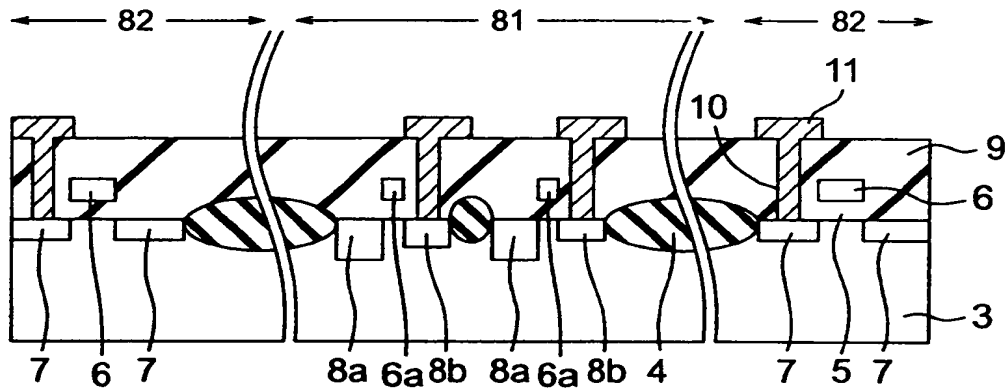
【図 8】



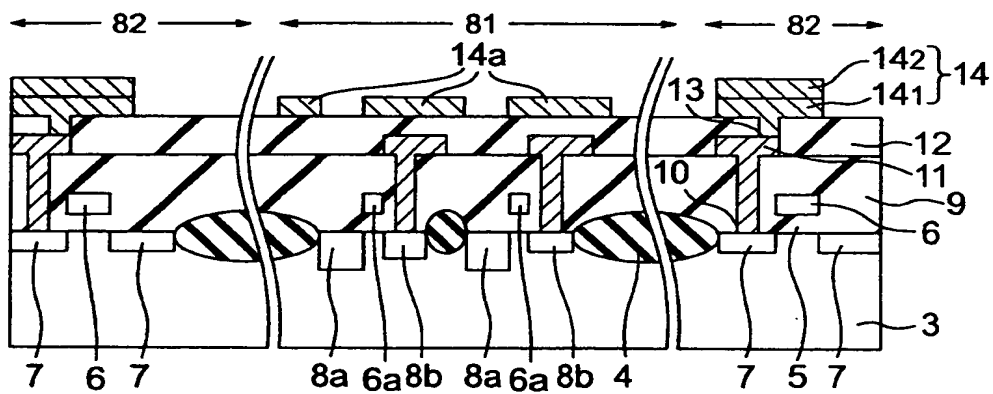
【図9】



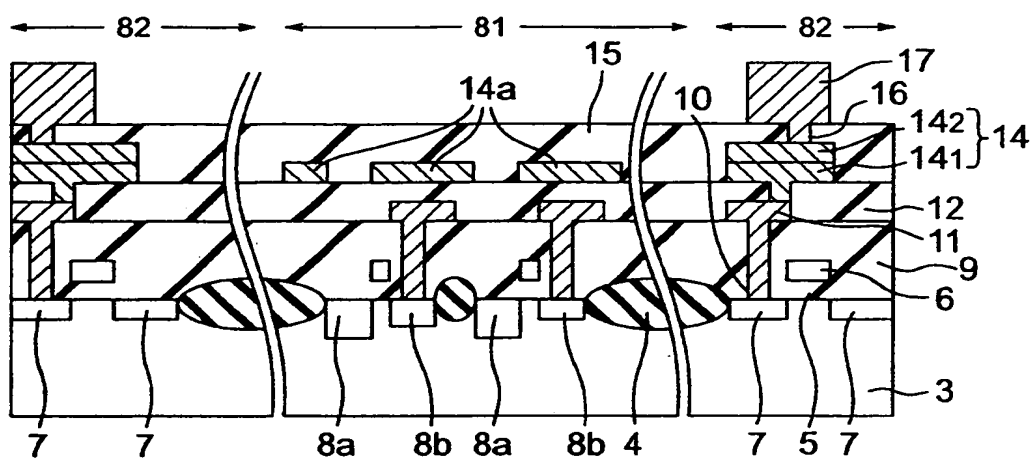
【図10】



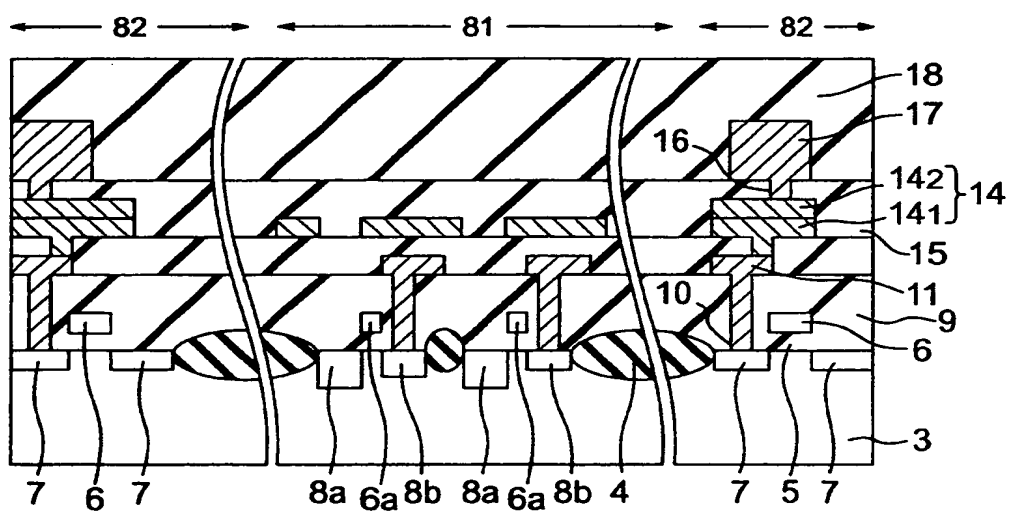
【図11】



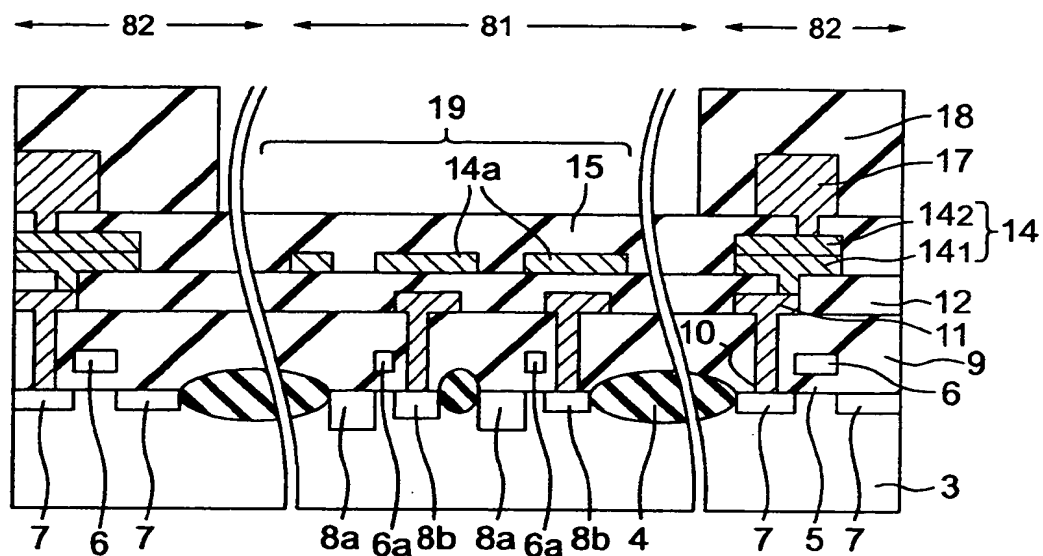
【图 1 2】



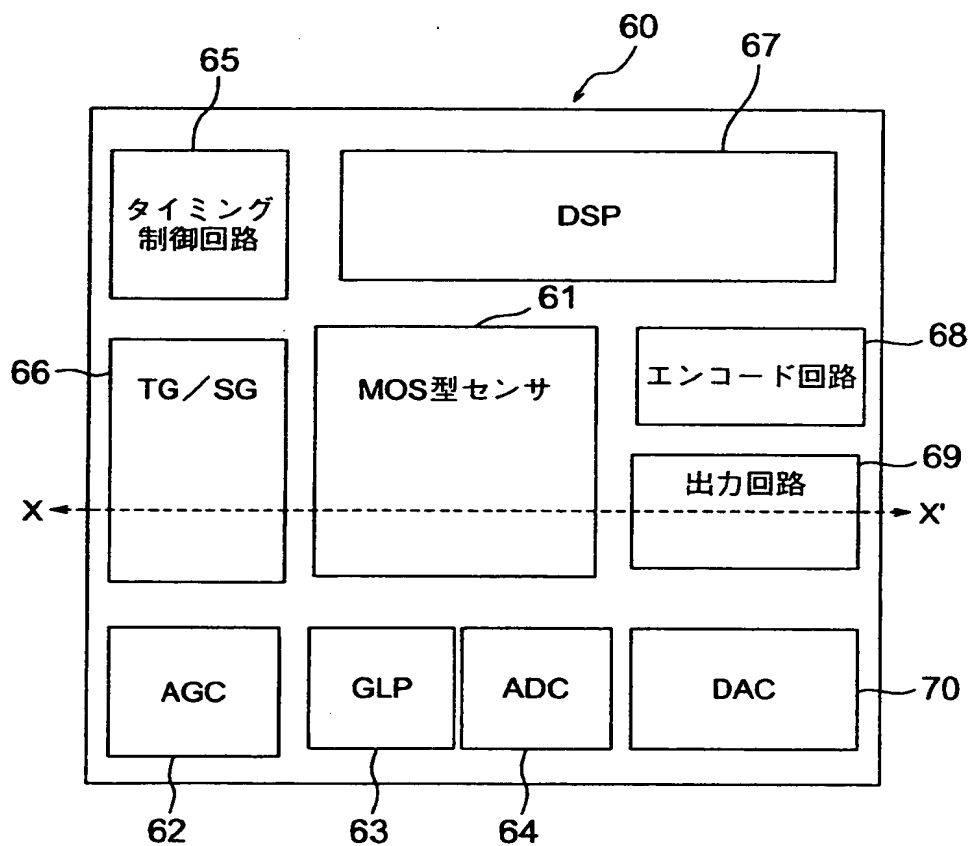
【図 13】



【図14】

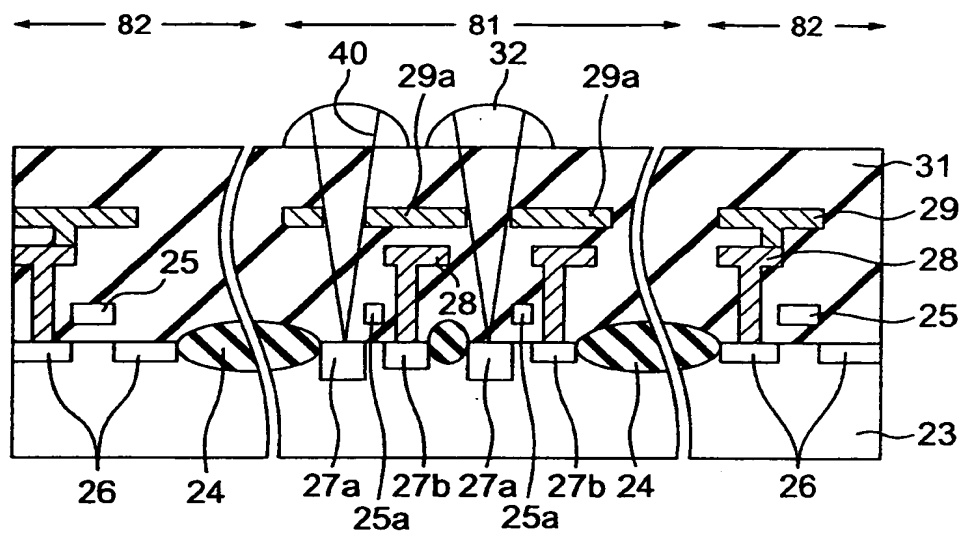


【図15】

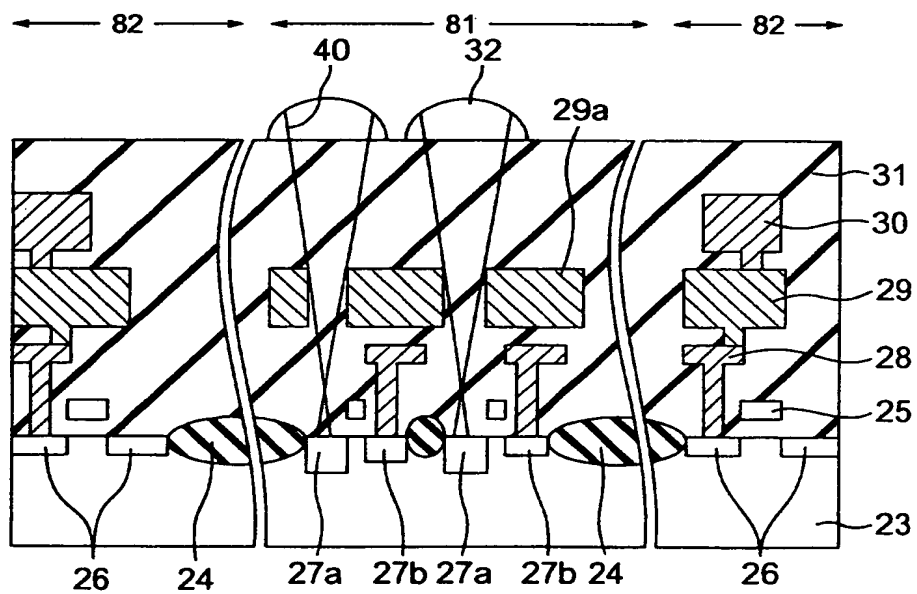




【図 16】



【图 17】



【書類名】 要約書

【要約】

【課題】 可及的に高い撮像特性を得るとともに高集積化および高速動作を可能にする。

【解決手段】 半導体基板 3 の撮像領域 8 1 にマトリクス状に配列された光電変換層 8 a を有する M O S 型センサと、撮像領域を除いた半導体基板の領域に形成され、前記 M O S 型センサを駆動する駆動回路および M O S 型センサの出力信号を処理する信号処理回路を有する周辺回路部と、光電変換層に画像信号を集光するために光電変換層上に第 1 の絶縁膜を介して形成されたマイクロレンズと、を備え、第 1 の絶縁膜の表面から半導体基板までの距離が第 2 の絶縁膜の表面から半導体基板までの距離よりも短くなるように構成されている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 神奈川県川崎市幸区堀川町72番地  
氏 名 株式会社東芝